

**Offset voltage correction circuit**

Patent Number: ☐ US6054887  
Publication date: 2000-04-25  
Inventor(s): HARADA TAKUYA (JP); HORIE MASAHIYO (JP)  
Applicant(s): DENSO CORP (JP)  
Requested Patent: ☐ JP11088071  
Application Number: US19980112284 19980709  
Priority Number(s): JP19970184161 19970709; JP19980124942 19980507  
IPC Classification: H03L5/00  
EC Classification: H03F1/30D1  
Equivalents:

---

**Abstract**

---

An offset voltage correction circuit for an operational amplifier (1) includes an offset voltage varying device (16, 17, 20, 21-23) for varying an offset voltage in the operational amplifier (1) in response to an offset voltage control value. A comparing device (25) operates for comparing an output voltage from the operational amplifier (1) with a prescribed reference voltage. A control device (19, 300) operates for outputting the offset voltage control value to the offset voltage varying device, for changing the offset voltage control value, for storing, in response to a result of the comparing by the comparing device (25), a digital signal representative of the offset voltage control value at which the output voltage from the operational amplifier (1) and the prescribed reference voltage are equal, and for correcting the offset voltage in the operational amplifier (1) in response to the stored digital signal.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-88071

(43)公開日 平成11年(1999)3月30日

(51) Int Cl. 6

H O 3 F 3/34

識別記号

**FI**

H O 3 F 3/34

**B**

審査請求 未請求 請求項の数11 OL (全 15 頁)

(21)出願番号 特願平10-124942

(22)出願日 平成10年(1998)5月7日

(31) 優先權主張番号 特願平9-184161

(32) 証先日 平 9 (1997) 7 月 9 日

(33) 優先格主張国 日本 (JP)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 堯明者 堀江 貞治

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 原田 卓哉

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

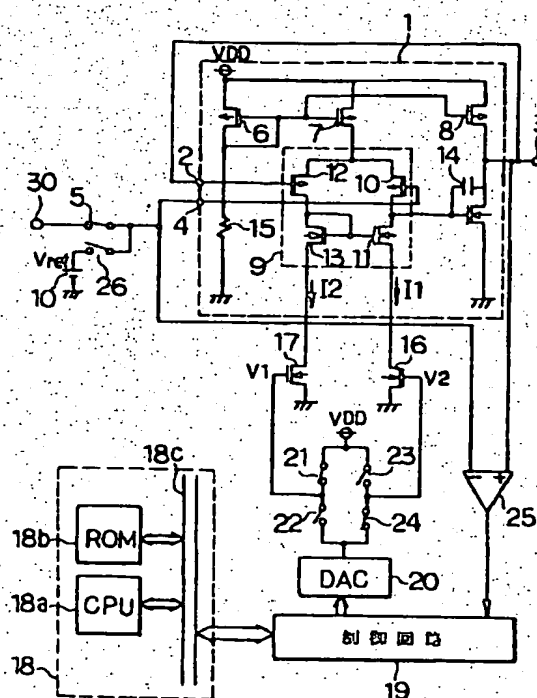
(74)代理人 井理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 オフセット電圧補正回路

(57) 【要約】

【課題】 コンデンサを用いずに、オペアンプのオフセット電圧補正を行う。

【解決手段】 まず、初めはD/Aコンバータ20の出力電圧をトランジスタ16のゲートに印加し、定電圧VDDをトランジスタ17のゲートに印加する。そして、制御回路19に備えられたカウンタのカウント値に応じてD/Aコンバータ20が電圧を変化させて、オペンプ1の出力端子3と非反転入力端子4の大きさをコンパレータ25で比較する。カウント値が所定の上限值に達してもコンパレータ25の出力変化がなければ、スイッチ21~24を切り替えてトランジスタ16、17のゲート電圧を入れ替える。そして、コンパレータ25の出力に基づいてオフセット電圧が零になった時にカウンタのカウントをやめ、その時のカウント値をカウンタに記憶させておく。



## 【特許請求の範囲】

【請求項1】 オペアンプ(1)のオフセット電圧を変化させるオフセット電圧可変手段(16、17、20、21～23)と、

前記オペアンプの出力電圧を所定の参照電圧と比較する比較手段(25)と、

前記オフセット電圧可変手段に入力されるオフセット電圧制御値を出力すると共に、前記比較手段の比較結果に基づいて前記オペアンプの出力電圧と前記参照電圧とが一致する制御値をデジタル的に記憶できる制御手段(19、300)とを備え、

前記制御手段は、前記オフセット電圧制御値を段階的に変化させ前記制御値に基づき前記オペアンプのオフセット電圧を補正するようになっていることを特徴とするオフセット電圧補正回路。

【請求項2】 オペアンプ(80)内の位相補償コンデンサ(14)を開放し、該オペアンプをコンパレータとして作動させるスイッチ手段(84、85)と、コンパレータとして作動する前記オペアンプのオフセット電圧を変化させるオフセット電圧可変手段(16、17、20、21～23)と、

前記オフセット電圧可変手段に入力されるオフセット電圧制御値を出力すると共に、前記オペアンプの出力レベルが変化するときの制御値をデジタル的に記憶できる制御手段(19、300)とを備え、

前記制御手段は、前記オフセット電圧制御値を段階的に変化させ前記制御値に基づき前記オペアンプのオフセット電圧を補正するようになっていることを特徴とするオフセット電圧補正回路。

【請求項3】 前記スイッチ手段は前記位相補償コンデンサの両端に備えられており、該位相補償コンデンサの両端において電氣的接続及び遮断が行えるようになっていることを特徴とする請求項2に記載のオフセット電圧補正回路。

【請求項4】 前記オペアンプの出力端子と反転入力端子は電氣的に接続されており、

前記コンパレータは、前記オペアンプの非反転入力端子における電圧を前記参照電圧として該オペアンプの出力電圧と比較するようになっていることを特徴とする請求項1乃至3のいずれか1つに記載のオフセット電圧補正回路。

【請求項5】 前記出力電圧可変手段によって前記オペアンプの出力電圧を変化させる時に、前記オペアンプの非反転入力端子(4)に定電圧( $V_{ref}$ )が印加されるようになっていることを特徴とする請求項1乃至4のいずれか1つに記載のオフセット電圧補正回路。

【請求項6】 前記オフセット電圧可変手段は、前記オペアンプの差動増幅回路の非反転入力端子(4)側に挿入された第1のトランジスタ(16)と、前記オペアンプの差動増幅回路の反転入力端子(2)側

に挿入された第2のトランジスタ(17)と、

前記制御手段が出力する制御値に応じた電圧を発生させるD/Aコンバータ(20)と、

定電圧を発生させる定電圧発生手段とを備えており、前記D/Aコンバータが発生する電圧を前記第1、第2のトランジスタ(16、17)のいずれか一方のトランジスタのゲート電圧とし、前記定電圧発生手段が発生する電圧を前記第1、第2のトランジスタの他方のゲート電圧として、両トランジスタのオン抵抗の差によってオフセット電圧を変化させることを特徴とする請求項1乃至5のいずれか1つに記載のオフセット電圧補正回路。

【請求項7】 前記制御手段は、カウンタ(41、201)を備えると共に、このカウンタのカウント値を制御値として出力するようになっており、

前記D/Aコンバータは前記カウント値に応じて発生させる電圧を段階的に変えていることを特徴とする請求項6に記載のオフセット電圧補正回路。

【請求項8】 前記D/Aコンバータは、その出力電圧が前記カウント値に対して単調に変化し、その最大値又は最小値のいずれかが前記定電圧発生手段が発生する電圧に等しくなるようになっており、前記カウンタ(41)をオフセット補正量が最大値から最小値へと変化するようカウントした後、前記第1、第2のトランジスタに印加されるゲート電圧を入れ替えてオフセット補正量が最小値から逆に最大値まで変化するよう逆にかウントすることを特徴とする請求項7に記載のオフセット電圧補正回路。

【請求項9】 前記制御手段は、前記制御値に相応したカウント値をカウントする第1、第2のカウンタ(101、201)を有しており、

前記D/Aコンバータは、前記第1、第2のカウンタのいずれか一方のカウント値を選択してカウント値に応じた電圧を発生するようになっており、

オフセット電圧検出時には、前記D/Aコンバータが前記第1のカウンタ(101)のカウント値を採用するようになると共に、該第1のカウンタのアップカウントによってカウント値が上限値に達したら、前記第1、第2のトランジスタの駆動電圧として前記D/Aコンバータが発生する電圧と前記定電圧発生手段が発生する電圧とを入れ替えて、該第1のカウンタをカウント値が下限値に達するまでダウンカウントするようにし、この前記第1のカウンタのアップカウントとダウンカウントの際に、前記比較手段の出力に基づいて前記第2のカウンタ(201)にカウントを行わせ、前記比較手段の出力が安定したときにおける前記第2のカウンタのカウント値を第2カウンタに記憶させておき、

オフセット電圧補正が終了した時には、前記D/Aコンバータが第2のカウンタのカウント値を採用するようにして、該D/Aコンバータが前記第2のカウンタが記憶したカウント値に応じた電圧を発生するようになっている

ことを特徴とする請求項6に記載のオフセット電圧補正回路。

【請求項10】 前記制御手段は、所定のデータに基づいて前記D/Aコンバータへ出力する制御値を制御するレジスタ(300)であることを特徴とする請求項6に記載のオフセット電圧補正回路。

【請求項11】 前記オペアンプの出力端子(3)には、スイッチ手段を介して該オペアンプの出力電圧を保持する手段が備えられており、サンプリング時には、前記スイッチ手段をオン状態にして前記オペアンプの出力電圧を出力し、ホールド時には前記スイッチ手段をオフ状態にして該スイッチ手段がオフ状態にされる直前の前記オペアンプの出力電圧を出力するようになっていることを特徴とする請求項1乃至10のいずれか1つに記載のオフセット電圧補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、オペアンプにおけるオフセット電圧を補正する回路に関する。

【0002】

【従来の技術】 オペアンプにおけるオフセット電圧は、温度変動に起因する温度ドリフトや経時的変化等の要因によって変動する。従って、オペアンプの製造段階においてトリミング等の手段を用いてオフセット電圧を補正するのみでは上記要因におけるオフセット電圧の変動を補正することができない。このため、特開平5-129848号公報に示すように、オペアンプの製造段階以降オペアンプアンプを使用する際に、オフセット電圧を補正できる回路が提案されている。

【0003】 この従来におけるオフセット電圧補正回路は、オペアンプの入力差動部のそれぞれの負荷トランジスタと直列にMOSトランジスタを追加すると共に、それぞれにMOSトランジスタを直列接続すると共に、それぞれのMOSトランジスタのゲートドレイン間にコンデンサを接続し、双方のコンデンサの充電電圧を調整することによってMOSトランジスタのゲート電圧を変えて、オペアンプにおけるオフセット電圧補正を行っている。

【0004】

【発明が解決しようとする課題】 しかしながら、一般にオペアンプのチップ内に大容量のコンデンサを配置することは困難であるため、この従来の方法では補正終了時にコンデンサに充電された電荷が短時間で放電されてしまい、一定の周期で常に補正をかける必要があった。

【0005】 本発明は上記問題に鑑みたもので、コンデンサを用いずにオペアンプのオフセット電圧補正を良好に行うことができる回路構成を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するた

め、以下の技術的手段を採用する。請求項1に記載の発明においては、制御手段(19、300)は、制御値を段階的に変化させることによって出力電圧可変手段(16、17、20、21~23)を制御すると共に、オペアンプ(1)の出力電圧が参照電圧と一致した時における制御値をデジタル的に記憶するようになっており、この記憶した制御値に基づきオペアンプ(1)におけるオフセット電圧補正が行えるようになっていることを特徴とする。

【0007】 出力電圧が参照電圧と一致した際に制御手段(19)が出力する制御値が、オフセット電圧を最低にできる時の制御値であり、この制御値をデジタル的に記憶しておけば時間経過に関わらず制御値を保存しておくことができる。これにより、オペアンプ(1)の作動時の前に予め行ったオフセット電圧補正に基づいて、オペアンプ(1)の作動時にもオフセット電圧を補正後の最低の状態に保つことができる。

【0008】 請求項2に記載の発明においては、オペアンプ(80)内の位相補償コンデンサ(14)を開放するスイッチ手段(84、85)を設け、該オペアンプ(80)をコンパレータとして作動させるようにし、コンパレータとして作動するオペアンプ(80)の出力レベルの変化に基づいてオペアンプ(80)のオフセット電圧補正を行うことを特徴としている。

【0009】 このように、オペアンプ(80)をコンパレータとして作動させ、オペアンプ(80)自身の出力の変化に基づいて該オペアンプのオフセット電圧補正を行うようにすれば、オペアンプ(80)の出力電圧と所定の参照電圧とを比較するための比較手段をなくすることができる。請求項3に記載の発明においては、スイッチ手段(84、85)は位相補償コンデンサ(14)の両端に備えられており、該位相補償コンデンサ(14)の両端において電氣的接続及び遮断が行えるようになっていることを特徴としている。

【0010】 このように、スイッチ手段(84、85)を位相補償コンデンサ(14)の両端に備えているため、その両端をスイッチ手段(84、85)で電氣的に遮断し、位相補償コンデンサ(14)を補正期間中開放すれば、位相補償コンデンサ(14)の電位を保持できる。これにより、補正期間終了時に位相補償コンデンサ(14)の両端をスイッチ手段(84、85)で接続し、オペアンプ(80)をもとのオペアンプとして作動させる場合に、オペアンプ(80)の内部の電位が定常状態になるまでの安定時間を短くすることができる。

【0011】 なお、請求項4に示すように、オペアンプ(1)の出力端子と反転入力端子を電氣的に接続させて、コンパレータ(25)にてオペアンプ(1)の非反転入力端子(4)における電圧を前記参照電圧としてオペアンプ(1)の出力電圧と比較するようにして、オフセット電圧検出を行うことができる。請求項5に記載の

発明においては、オフセット電圧補正時に、オペアンプ(1)の非反転入力端子(4)に定電圧(Vref)を印加されるようになっていて、ことを特徴としている。

【0012】このように、オフセット電圧補正時に、非反転入力端子(4)の電圧を定電圧(Vref)にすることによって、オフセット電圧補正時に入力電圧の変化に基づく出力電圧の変化を防止することができる。なお、請求項7に記載に示すように、制御手段はカウンタ(41、201)を備えており、出力電圧可変手段におけるD/Aコンバータ(20)はカウンタ(41、201)のカウント値に応じて発生させる電圧を段階的に可変することによってオフセット電圧検出を行うことができる。

【0013】請求項8に示す発明のように、D/Aコンバータ(20)は、その出力電圧がカウント値に対して単調に変化し、その最大値又は最小値のいずれかが定電圧発生手段が発生する電圧に等しくなるようになっており、カウンタ(41)がオフセット補正量が最大値から最小値へと変化するようにカウントした後、第1、第2のトランジスタ(16、17)に印加されるゲート電圧を入れ替えてオフセット補正量が最小値から逆に最大値まで変化するように逆にカウントすることにより、1つのD/Aコンバータ(20)の出力をもって第1、第2のトランジスタ(16、17)に流れる電流量の調整を行うことができる。

【0014】請求項9に記載された発明においては、オフセット電圧検出時に、D/Aコンバータ(20)が第1のカウンタ(101)のカウント値を採用するようにして、第1のカウンタ(101)にアップカウントとダウンカウントを一通り行わせ、第2のカウンタ(201)にはこの検出時における比較手段(25)の出力変化を検出させて、比較手段(25)の出力変化が安定したときにおける第2のカウンタ(201)のカウント値を記憶させて、オフセット電圧検出が終了した時には、D/Aコンバータ(20)が第2のカウンタ(201)のカウント値を採用するようにすることを特徴としている。

【0015】このように、コンパレータ(25)の出力の変化が安定した時におけるカウント値を第2カウンタ(201)に記憶させることによって、ノイズによる影響の少ないオフセット電圧補正回路にすることができる。なお、請求項10に示すように、制御手段として、所定のデータに基づいてD/Aコンバータ(20)へ出力する制御値を制御するレジスタ(300)を用いることもできる。

【0016】請求項11に記載の発明においては、オペアンプ(1)の出力端子には、スイッチ手段を介して該オペアンプ(1)の出力電圧を保持する手段が備えられており、サンプリング時には、スイッチ手段をオン状態にしてオペアンプ(1)の出力電圧を出力し、ホールド

時にはスイッチ手段をオフ状態にして該スイッチ手段がオフ状態にされる直前のオペアンプ(1)の出力電圧をホールド電圧として出力するようになっていて、ことを特徴としている。

【0017】このように、サンプリング回路として用いられるオペアンプ(1)におけるオフセット電圧補正を行った場合には、オフセット電圧補正時に補正前におけるオペアンプ(1)の出力電圧を保持することができるため、補正時における出力電圧の変動を緩和することができる。

【0018】

【発明の実施の形態】

(第1実施形態)図1に本発明のオフセット電圧補正回路を適用した一実施形態を示す。このオフセット電圧補正回路は、オペアンプ1におけるオフセット電圧を検出し、補正するものである。以下、オフセット電圧補正回路の構成をオペアンプ1と共に説明する。

【0019】オペアンプ1は、反転入力端子2と出力端子3が接続されたバッファアンプとして用いられており、簡略化して表すと図2に示すような配線構成となっている。そして、非反転入力端子4には、スイッチ5を介して入力端子30が接続されており、オフセット電圧補正を行わない通常使用時には、このスイッチ5がオンにされていて入力電圧が入力端子30を介してオペアンプ1に入力されるようになっている。

【0020】オペアンプ1は、PchMOSトランジスタ10、12を入力トランジスタとし、NchMOSトランジスタ11、13を負荷トランジスタとする差動増幅回路9を備えている。具体的にこのオペアンプ1の作動を説明すると、上記差動増幅回路9は、Pchトランジスタ10のゲート電圧と、PchMOSトランジスタ12のゲート電圧との差電圧に応じて負荷トランジスタ11、13に流れる電流値I1、I2を変化させる。なお、コンデンサ14は、位相補償用(発振防止用)コンデンサである。

【0021】次に、このように構成されたオペアンプ1に備えられたオフセット電圧補正回路について説明する。オフセット電圧補正回路は、上記オペアンプ1における差動増幅回路9の双方の負荷トランジスタ11、13のそれぞれに直列接続されたトランジスタ16、17を備えており、これらのトランジスタ16、17のゲート印加電圧を変化させることによりオフセット電圧の補正を行うようになっている。

【0022】具体的には、オフセット電圧補正回路は、CPU18a、ROM18b及びこれらのブロックと他のブロックとのデータ転送を行うためのバス18cを備えたマイクロコンピュータ18と、このバス18cに接続された制御回路19と、この制御回路19の処理データに応じた出力を発生するD/Aコンバータ20と、トランジスタ16、17のゲートに印加される電圧を切り

替えるためのスイッチ21~24と、非反転入力端子4における電圧と反転入力端子2における電圧とを比較するコンパレータ25を備えている。

【0023】なお、スイッチ21~24はHブリッジ状に接続されたMOSトランジスタで構成されており、後述するスイッチ21~24の切り替え信号がローレベル信号である時にはスイッチ21、24がオン、スイッチ22、23がオフすることにより、Nchトランジスタ16のゲートにはD/Aコンバータ20の出力電圧が印加され、Nchトランジスタ17のゲートには電源電圧VDDが印加される。

【0024】逆に、ハイレベル信号であるときには、Nchトランジスタ16、17に印加される電圧が入れ替わるようになっている。このように、スイッチ21~24の切り替えによって1つのD/Aコンバータ20でNchトランジスタ16、17のゲート電圧を可変できるようになっている。また、非反転入力端子4には、スイッチ26を介して所定電圧Vrefが印加されるようになっており、補正時にスイッチ5がオフ、スイッチ26がオンして入力端子30に印加される電圧に代えて所定電圧Vrefが非反転入力端子4に入力されるようにしている。つまり、オペアンプ1のオフセット電圧は入力電圧に依存するため、補正期間中は入力電圧を一定にしてオフセット電圧が変動するのを防止している。なお、後述するスイッチ5、26の切り替え信号がハイレベル信号になるとスイッチ5がオフし、スイッチ26がオンするようになっている。なお、コンパレータ25には、オフセット電圧をキャンセルできるチョッパコンパレータを使用することが望ましい。

【0025】次に、図3に制御回路の回路構成を示す。制御回路19は、マイクロコンピュータ18からの補正指令信号に基づき発生した各種信号を出力するタイミング信号発生回路31と、このタイミング信号発生回路31からのタイミング信号に基づきデータ処理を行ってD/Aコンバータ20にデータを出力する論理回路部とを備えている。

【0026】この論理回路部には、初期化信号発生回路32からの初期化信号と、パワーオンリセット信号発生回路33からのパワーオンリセット信号と、クロック発生回路34からのクロック信号CLK1、CLK2と、コンパレータ25からの出力信号が入力され、論理回路部は入力されたこれらの信号に基づいてデータ処理を行う。

【0027】図4に、制御回路19等における各要素のタイムチャートを示し、図3、図4に基づいてオフセット電圧補正回路の作動を説明する。図4において、

(a)は図1における入力端子30及び出力端子3それぞれの電圧、(b)は初期化信号、(c)はクロック信号CLK1、(d)はクロック信号CLK2、(e)はD/Aコンバータ20の入力データ(カウント値)、

(f)はスイッチ21~24のオン・オフ切り替え信号、(g)は補正期間中信号(h)はD/Aコンバータ20の出力電圧、(i)はオペアンプ1のオフセット電圧をそれぞれ示している。なお、トランジスタ17のゲート印加電圧をV1、トランジスタ16のゲート印加電圧をV2として説明する。以下、図4における各時点に分けて作動説明を行う。

【0028】(図4中の時点t1における作動)CPU18aが制御回路19に補正指令信号を出力すると、タイミング信号発生回路31は各種信号を論理回路部に入力する。この時点t1は任意のタイミングとしてROM18bに予め記憶されており、オペアンプ1の作動前の段階にオフセット電圧補正が行えるようなタイミングに設定されている。

【0029】そして、初期化信号がローレベル信号になると、D型フリップフロップ39とレジスタを包含するnビットのカウンタ41(但し、ここでは3ビットのカウンタとして説明する)はクリアされる。すなわち、D型フリップフロップ39の反転出力端子はハイレベル信号を出力し、カウンタ41はカウント値を「0」とする。

【0030】そして、D型フリップフロップ39の反転出力端子の信号は、前述したスイッチ5、26の切替信号として使用されているため、スイッチ5がオフし、スイッチ26がオンする。同時に、カウンタ41はカウント値「0」をD/Aコンバータ20に出力し、D/Aコンバータ20はこのカウント値「0」に応じた電圧として最低電圧Vlow(例えば、2.8125V)を出力する。

【0031】なお、上記パワーオンリセット信号はオペアンプ1の電源立上時にカウンタ41に入力される信号であり、この信号がカウンタ41に入力されるとカウンタ41はカウント値を上限値に設定してD/Aコンバータ20が定電圧VDDと同等の電圧を出力するようになっている。このため、最初の補正のときであればD/Aコンバータ20は定電圧VDDから最低電圧Vlowに電圧をダウンさせる。

【0032】また、パワーオンリセット信号はD型フリップフロップ44、45にも入力され、これによりD型フリップフロップ44、45は初期化される。また、初期化信号によってAND回路43がローレベル信号を出力すると、D型フリップフロップ44、45がクリアされ、D型フリップフロップ44、45はローレベル信号を出力する。これらD型フリップフロップ44、45の出力信号はそれぞれカウンタ41のアップダウン信号とスイッチ21~24のオン・オフ切り替え信号となっている。

【0033】このため、カウンタ41がアップカウント動作の設定となると共に、スイッチ21、24はオン、スイッチ22、23はオフにされ、V1は電源電圧VDD

Dとなり、V2はD/Aコンバータ20が出力した電圧である最低電圧Vlowとなる。従って、 $V1 > V2$ となって出力電圧が入力電圧よりも低くなるためコンパレータ25はローレベル信号を出力する。これによりOR回路38を介してD型フリップフロップ39は反転出力信号としてハイレベル信号を出力するため、カウンタ41にはAND回路40を介してクロック信号CLK1が直接入力するようになり、カウンタ41はクロック信号CLK1の立ち上がりエッジを検知することによってアップカウントしていき、カウント値をD/Aコンバータ20に出力する。そして、D/Aコンバータ20はカウント値に応じた電圧として最低電圧Vlowよりも高い電圧を出力する。

【0034】ここで、オフセット電圧制御用Nchトランジスタ16、17のゲート電圧V1、V2とオフセット補正電圧との関係は図5(a)、(b)となるように設定されている。V1を電源電圧VDDとした場合において、V2を最低電圧Vlowから定電圧VDDまで変化させたときのオペアンプ1のオフセット補正電圧は図5(a)のように表される。また、V2を定電圧VDDとした場合において、V1を最低電圧Vlowから定電圧VDDまで変化させたときのオペアンプ1のオフセット補正電圧は図5(b)のように表される。

【0035】このため、時刻t1以降、クロックCLK1の入力毎にカウンタ41のカウント値が増大していき、D/Aコンバータ20の出力電圧が段階的に上がっていくと、図5(a)に示す関係に従ってオフセット補正量が段階的に変化していき、オペアンプ1の出力電圧は段階的に上昇していく。

【図4中の時点t2における作動】オペアンプ1の出力電圧が入力電圧を超えずにコンパレータ25がローレベル信号を出力したままであると、カウント値が所定の上限値(カウント値「7」)に達するため、カウンタ41の出力信号は全てハイレベル信号になり、D/Aコンバータ20は最大電圧VDDを発生する。そして、AND回路46がハイレベル信号を出力し、OR回路47を介してD型フリップフロップ44にハイレベル信号が入力される。

【0036】このため、NOT回路48からの出力信号をクロック信号としてD型フリップフロップ44がハイレベル信号を出力し、これを受けてカウンタ41はダウンカウント動作状態に切り替わり、以後クロックが入力されるたびに、ダウンカウントを行う。D型フリップフロップ44のハイレベル信号により、D型フリップフロップ45の出力信号がハイレベル信号になると、スイッチ21、24がオフ、スイッチ22、23がオンに切り替えられ、V1はD/Aコンバータ20が出力した電圧となり、V2は定電圧VDDとなる。このため、V1は、カウンタ41によるダウンカウントのカウント値に応じた電圧となる。

【0037】なお、カウンタ41がダウンカウントを行うと、カウンタ41の出力にローレベル信号が含まれるため、AND回路46はローレベル信号を出力する。このため、NOT回路49によってハイレベル信号に反転させて、AND回路50を介してハイレベル信号をOR回路47に出力することによってD型フリップフロップ44の出力がハイレベル信号になるように維持している。

【0038】【図4中の時点t3～t4における作動】カウンタ41のダウンカウントによってオペアンプ1の出力電圧がさらに上昇していき、オペアンプ1の入力電圧を超えると、コンパレータ25の出力がハイレベル信号になり、OR回路38を介してD型フリップフロップ39にハイレベル信号が入力される。このため、補正期間中信号はローレベルになり、スイッチ26がオフ、スイッチ5がオンとなり本来のバッファアンプとして作動をし始める。また、AND回路40を介してローレベル信号がカウンタ41のクロック信号として入力される。これにより、カウンタ41はダウンカウントをやめ、以後再びオフセット補正を行うまでの間D/Aコンバータ20はカウンタ41のそのときのカウント値「4」に応じた電圧を発生し続ける。

【0039】このように、オフセット電圧補正後のカウント値をカウンタ41に記憶させておき、このカウント値に応じた電圧をD/Aコンバータ20により出力することで、オペアンプ1の作動前の段階に行ったオフセット電圧補正にて、オペアンプ1の作動中にもオフセット電圧補正を行うことができるため、オペアンプ1の作動中にオフセット電圧補正をする必要がない。そして、オペアンプ1の製造時においては補正困難であるLSIの温度変動に起因するオフセット電圧の変動(温度ドリフト)についても補正が可能である。また、製造工程においてオフセット電圧補正のためのトリミング等の付加的工程を廃止することも可能である。

【0040】なお、オペアンプ1の補正前のオフセット電圧の極性が逆である場合には、カウンタ41のアップカウント動作期間(時刻t2より前)に出力電圧が入力電圧を超えてコンパレータ25の出力がハイレベル信号になり、OR回路38を介してD型フリップフロップ39にハイレベル信号が入力される。このため、上記と同様にカウンタ41はカウントをやめ、D/Aコンバータ20はカウンタ41がそのときカウントしているカウント値に応じた電圧を発生して、上記と同様の効果を得るようになっている。

【0041】次に、図6にオペアンプ1を有する差動アンプ回路51と2つのバッファ回路52、53を有する回路構成を示す。上記オフセット電圧補正は、この差動アンプ回路51に含まれるオペアンプとバッファ回路として使用しているオペアンプ52の両方について行う。具体的には、差動アンプ回路51及びコンパレータ54

は、図7に示すような回路構成となっており、図1に示すオフセット電圧補正回路の一使用例に該当し、差動アンプ51のゲインを設定するための抵抗 $R1 \sim R4$ を回路中に設けるときに、オフセット電圧補正の際に抵抗 $R1 \sim R4$ による影響がないようにスイッチ56～60を設けた場合を示している。

【0042】つまり、抵抗 $R1$ 、 $R2$ と抵抗 $R3$ 、 $R4$ が $R1=R3$ 及び $R2=R4$ の関係を満たし、差動アンプ51のゲインが $R2/R1$ になるようになっている。このため、オペアンプ1の使用時にはスイッチ5、56、58、59をオン、スイッチ26、57、60をオフにし、オフセット電圧補正の際にはスイッチ5、56、58、59をオフ、スイッチ26、57、60をオンに切り替えて、実質的に図1（図2）の回路構成になるようにしてオフセット電圧補正を行えるようにしている。

【0043】また、バッファ回路53、54のオペアンプにおいては、両方ともオフセット電圧が発生しうるが、バッファアンプ52の入力電位とバッファアンプ53の入力電位とが等しいとき、それぞれのバッファアンプの出力電圧差が零の状態であればよい。コンパレータ55を用いてそれぞれの出力電圧差が零となるように2つのオペアンプのうちの片側のオペアンプのオフセット電圧のみを補正している。

【0044】このように、2つのオペアンプを用いる場合において、2つのオペアンプのオフセット電圧差のみが問題となるような場合には、その両方のオペアンプの両方のオフセット電圧補正をする必要はなく、一方のオペアンプのオフセット電圧補正を行うだけで十分である。なお、図6に示す回路をサンプルホールド回路とすることもできる。

【0045】具体的には、オペアンプ1の出力端子（V<sub>out</sub>）に抵抗を介してコンデンサをグランドとの間に接続し、補正期間中信号によりスイッチ59も同時に切り替えるようにする。すなわち、補正していない期間には、スイッチ59をオンとしてサンプリング動作させ、補正開始と同時にスイッチ59をオフにして補正開始直前の出力端子電圧をホールドする。

【0046】このように、サンプル・ホールド機能を持たせることによりオフセット補正期間中に出力電圧V<sub>out</sub>が通常動作（非補正期間）時と大きくずれることを防ぎ、時間的に緩やかに変化する入力信号に対しては補正時間を十分に短くすることにより、補正による中断なく連続的にオペアンプを使用することが可能である。また、上記ではオペアンプ1の差動部の入力トランジスタがPchである場合を示したが、Nch入力トランジスタより構成されているオペアンプについてもV1、V2の可変電圧範囲等の変更により同様に適用できる。

【0047】（第2実施形態）本実施形態においては、制御回路以外の構成は第1実施形態と同様の構成である

ため、図8に本実施形態における制御回路19の回路構成図を示し、この制御回路19についてのみ説明を行う。なお、本実施形態のタイミング信号発生回路61には、補正期間中信号を発生する補正期間中信号発生回路が設けられているが、他の信号発生回路については第1実施形態と同様であるため説明は省略する。

【0048】上記第1実施形態では、コンパレータ25の出力信号がハイレベルになった時にカウンタ41によるカウントをやめ、そのときのカウンタ値に応じた電圧をD/Aコンバータ20が発生するようにしている。しかしながら、D/Aコンバータ20が発生する電圧は、上記したように段階的に設定しており、その電圧の差をできるだけ小さくしているため、ノイズ等による影響を受ける可能性がある。

【0049】このため、本実施形態ではコンパレータ25の出力に関係なく、アップカウントとダウンカウントを1通り行わせるカウンタ101を備えた第1回路100と、コンパレータ25の出力に応じてカウントを止めるカウンタ201を備えた第2回路200を設け、オフセット電圧補正期間中は第1回路100によってD/Aコンバータ20が発生する電圧を制御し、この補正期間中に第2回路200によってオフセット電圧補正に適したD/Aコンバータ20の電圧を検出するようにしている。

【0050】これら第1回路100と第2回路200において、D型フリップフロップ103、203にてスイッチ21～24の切り替え信号を発生し、カウンタ101、201にてD/Aコンバータ20への入力データを発生している。そして、これらのスイッチ切替信号とD/Aコンバータ20への入力データを選択するためにマルチプレクサ70、71を設けており、補正期間中には第1回路100より出力される信号を選択させ、この期間中に第2回路200によってオフセット電圧補正に最適なD/Aコンバータ20のデータとスイッチ切替信号を検出し、補正期間終了と同時に第2回路200からの出力信号を選択させてオフセット電圧補正を行うようにしている。

【0051】図9に、制御回路19等における各要素のタイムチャートを示し、図8、図9に基づいてオフセット電圧補正回路の作動を説明する。図9において、

(a)は初期化信号、(b)は補正期間中信号、(c)はクロック信号CLK1、(d)はクロック信号CLK2、(e)はカウンタ101のカウント値、(f)は第1回路100からのスイッチ21～24のオン・オフ切り替え信号、(g)はD型フリップフロップ202の出力信号、(h)はカウンタ201のカウント値、(i)は第2回路200からのスイッチ21～24のオン・オフ切り替え信号、(j)はD/Aコンバータ20の入力データ信号、(k)はオペアンプ1のオフセット電圧をそれぞれ示している。なお、トランジスタ17のゲート

印加電圧をV1、トランジスタ16のゲート印加電圧をV2として説明する。

【0052】以下、図9のタイムチャートに示す各時点における作動について、第1回路100と第2回路200に分けて説明する。

〔図9中の時点t1における作動〕まず、補正期間中信号としてハイレベル信号がマルチプレクサ70、71に入力されると、マルチプレクサ70、71は第1回路100の信号を選択するようになる。また、補正期間中信号によってスイッチ5、26のオン・オフ切り替えを行う。これにより、非反転入力端子4には一定電圧(Vref)が印加され、入力端子30の電圧によって変化しなくなる。

【0053】①第1回路100について

初期化信号によってD型フリップフロップ102、103とカウンタ101がクリアされる。すなわち、D型フリップフロップ102、103の出力端子Qからはローレベル信号を出力し、カウンタ101はカウント値「0」の信号を出力する。これにより、マルチプレクサ70にはローレベル信号が入力され、マルチプレクサ71にはカウント値「0」の信号が入力される。

【0054】②第2回路200について

初期化信号によってD型フリップフロップ202、203とカウンタ201がクリアされる。すなわち、D型フリップフロップ202の反転出力端子はハイレベル、D型フリップフロップ203の出力端子Qはローレベルを出力し、カウンタ201はカウント値を「0」とする。これによりマルチプレクサ70にはローレベルが入力され、マルチプレクサ71にはカウント値「0」の信号が入力される。

【0055】そして、上述したようにマルチプレクサ70、71は第1回路100の信号を選択して、マルチプレクサ70はスイッチ21～24の切り替え信号としてローレベル信号を出力し、マルチプレクサ25はカウンタのカウント値「0」の信号をD/Aコンバータ20に出力する。これにより、スイッチ21、24はオン、スイッチ22、23はオフにされ、D/Aコンバータ20はカウント値「0」に応じた電圧として最低電圧Vlowを出力する。

【0056】このため、V1は電源電圧VDDとなり、V2はD/Aコンバータ20が出力した電圧である最低電圧Vlowとなる。従って、 $V1 > V2$  となって、出力電圧が入力電圧よりも低くなるためコンパレータ25はローレベル信号を出力する。

〔図9中の時点t1～t2における作動〕

①第1回路100について

補正期間中信号がハイレベル信号であるため、カウンタ101にはAND回路104を介してクロック信号CLK1が直接入力される。そして、カウンタ101のクロック信号CLK1の立ち上がりエッジを検知すること

にアップカウントしていき、カウンタ101はカウント値に応じた信号をマルチプレクサ71に出力する。

【0057】②第2回路200について

コンパレータ25の出力がローレベル信号であるため、D型フリップフロップ202の反転出力及び補正期間中信号が共にハイレベル信号であり、AND回路204を介してクロック信号CLK1が直接入力される。そして、カウンタ201はカウンタ101と同様のアップカウントを行ってカウント値をマルチプレクサ71に出力する。

【0058】このように出力されたカウンタ101とカウンタ201から出力データのうち、カウンタ101のデータをマルチプレクサ71は選択してD/Aコンバータ20に出力し、D/Aコンバータ20はその入力値に応じた最低電圧Vlowよりも高い電圧を出力する。なお、図中9の時点t2になる前は、カウンタ101、201の出力がローレベル信号を含んでいるため、AND回路105、205の出力はローレベルであり、またD型フリップフロップ102、203の出力がローレベル信号であることからAND回路106、206の出力はローレベル信号である。このため、OR回路107、207の出力がローレベル信号のままであり、D型フリップフロップ102、103、203の出力はローレベル信号のままになる。従って、マルチプレクサ70を介して出力されるスイッチ21～24の切り替え信号はローレベル信号のままで、スイッチ21、24がオン、スイッチ22、23がオフの状態を維持する。

【0059】〔図9中の時点t2における作動〕

①第1回路100について

カウンタ101におけるカウント値が所定の上限値に達するためカウンタ101は全てハイレベル信号を出力する。このため、AND回路105はハイレベル信号を出力し、OR回路107を介してD型フリップフロップ102にハイレベル信号が入力されるためD型フリップフロップ102はクロック信号CLK1の立ち下がりエッジを検知してハイレベル信号を出力する。この信号によってカウンタ101はダウンカウント動作状態に切り替わる。

【0060】また、カウンタ101のカウント値が所定の上限値に達するためマルチプレクサ71を介してD/Aコンバータ20は電源電圧VDDと同等の電圧を発生させる。

②第2回路200について

第1回路100と同様にカウンタ201がハイレベル信号を出力するため、AND回路205はハイレベル信号を出力し、OR回路207を介してD型フリップフロップ203にハイレベル信号が入力されるため、D型フリップフロップ203はクロック信号CLK1の立ち下がりエッジを検知してハイレベル信号を出力する。この信号によってカウンタ201はダウンカウント動作状態に

切り替わる。

【0061】なお、このときにはマルチプレクサ70は第1回路100における出力信号を選択しているため、スイッチ21～24の切り替えは行われない。

〔図9中の時点t3における作動〕図9に示すように、時点t3はコンパレータ25の出力がハイレベル信号に変わったことにより、D型フリップフロップ202の反転出力端子がローレベルに変化した時を示している。

【0062】①第1回路100について

コンパレータ25の出力は第1回路100における入力信号にはならないため、第1回路100はコンパレータ25の出力とは無関係に作動する。従って、コンパレータ25の出力がハイレベル信号になっても、カウンタ101はアップカウント若しくはダウンカウントを1通り終了する迄続ける。

【0063】②第2回路200について

コンパレータ25がハイレベル信号を出力するため、D型フリップフロップ202はローレベル信号を出力する。このため、AND回路204はローレベル信号を出力し、カウンタ201はカウントを一旦停止し、コンパレータ25の出力信号がハイレベル信号に変わったときにおけるカウント値を保持しておく。

【0064】〔図9中の時点t4における作動〕

①第1回路100について

D型フリップフロップ102がハイレベル信号を出力しているため、D型フリップフロップ103はAND回路104を介して入力されるクロック信号CLK1の立ち上がりエッジを検知してハイレベル信号を出力する。これにより、マルチプレクサ70を介してハイレベル信号が出力され、スイッチ21、24はオフ、スイッチ22、23はオンにされる。

【0065】また、カウンタ101はダウンカウント状態になっているため、AND回路104を介して入力されるクロック信号によりカウント値が「7」から「6」へと変化する。このため、V1はD/Aコンバータ20が出力したデータ「6」に対応する電圧となり、V2は電源電圧VDDとなる。

【0066】②第2回路200について

D型フリップフロップ202の出力がローレベルのままであるため、AND回路204はローレベル信号を出力し、カウンタ201はコンパレータ25がハイレベル信号を出力したときのカウント値を保持する。なお、NOT回路109、209は上述したように、カウンタ201がアップカウントからダウンカウントに切り替わった後AND回路105、205の出力の変化によってD型フリップフロップ102、203の出力を変化させないためのものである。

【0067】〔図9中の時点t5における作動〕図9に示すように、時点t5はコンパレータ25の出力がローレベル信号に戻ったときを示している。

①第1回路100について

上記した時点t3と同様に、第1回路100はコンパレータ25の出力とは無関係に作動する。

【0068】②第2回路200について

コンパレータ25の出力がローレベル信号に戻ったため、D型フリップフロップ202の反転出力端子はハイレベル信号を出力する。このため、AND回路204を介してクロック信号CLK1がカウンタ201のクロック信号として直接入力され、カウンタ201は再びカウントを始める。

【0069】つまり、コンパレータ25の出力が一旦ローレベルからハイレベルに立ち上がった後に再び元に戻るような場合においては、ノイズによる影響で局所的に反転入力端子2の電圧が非反転入力端子4における電圧を超えたためにコンパレータ25の出力が一時的にハイレベル信号に変わってしまったと考えられる。このため、コンパレータ25の出力が元に戻った場合には真にオフセット電圧が零になる電圧にカウンタ201のカウント値を合わせるために、カウンタ201のカウントを再び行うようにしている。

【0070】この後、カウンタ201はコンパレータ25の出力レベルにより決まるD型フリップフロップ202の出力がハイレベルの場合のみカウント動作を行う。これにより、真にオフセット電圧が零になるような電圧に対応するカウント値が選択される。

〔図9中の時点t6における作動〕

①第1回路100について

カウンタ101のカウント値が所定の下限値（ここではカウント値「0」を示す）になると、補正期間中信号発生回路65は、補正期間中信号としてローレベル信号を出力する。これにより、AND回路104を介してローレベル信号がカウンタ101のクロック信号として入力されるため、カウンタ101はカウントをやめる。なお、補正期間中信号発生回路65は、カウンタ101がアップカウントとダウンカウントを共に行ったときに要する時間に応じて補正期間中信号を発生するようになっている。

【0071】②第2回路200について

上記したように、補正期間中信号がローレベル信号になるが、カウンタ201はコンパレータ25の出力に基づいてカウントをやめているため、この時には所定のカウント値（ここではカウント値「5」を示す）を保持している。また、コンパレータ25の出力がハイレベル信号になった時にD型フリップフロップ202はローレベル信号を出力するため、AND回路204はローレベル信号を出力する。これにより、D型フリップフロップ203は、コンパレータ25の出力が変わった時の出力としてハイレベル信号を維持する。

【0072】そして、補正期間中信号がローレベル信号になると、マルチプレクサ70、71は、第2回路20

0の出力を選択するようになり、マルチプレクサ70はスイッチ切り替え信号としてハイレベル信号を出力し、マルチプレクサ71はカウンタ201に保持された所定のカウンタ値を出力する。これにより、D/Aコンバータ20は、トランジスタ16、17のいずれかに所定のカウンタ値に応じた電圧を印加し、オフセット電圧が概ね零になる。

【0073】このとき、コンパレータ25の出力が安定したときにおけるカウンタ101のカウンタ値と、実際にカウンタ201が記憶しているカウンタ値が異なっている。すなわち、コンパレータ25の出力の不安定な状態は、オフセット電圧が零になる電圧を略中心として二項分布的に発生するため、この中心となるオフセット電圧により近づけたい。このため、カウンタ201はコンパレータ25の出力に基づいてカウンタ201にカウンタを行わせ、コンパレータ25が安定したときにおけるカウンタ101のカウンタ値とは独立にカウンタ値が設定されるようになっている。

【0074】このように、オフセット電圧補正時におけるノイズによる影響を考慮して、コンパレータ25の出力が変化しなくなるまでカウンタ201におけるカウンタを続けることによって、より確実にオフセット電圧を零に近づけることができる。

(第3実施形態) 本実施形態では、図10に示すように、第1、第2実施形態における制御回路19に代えて、補正データを記憶するためのレジスタ300を設け、D/Aコンバータ20のカウンタ機能、スイッチ21、23、22、24の制御機能をCPU18aが予めROM18bに記憶されたシーケンスに従い実行するようにしてもよい。この場合、D/Aコンバータ20及び各アナログスイッチの制御はレジスタ300を介して行われる。なお、図10のうち、レジスタ300以外の構成については、図1に示すオフセット電圧補正回路と同様であるため説明は省略する。

【0075】図10に示すように、CPU18aはROM18bに予め記憶された命令コードを順次読み出し、これを実行するようになっている。図11に、オペアンプ1のオフセット電圧の補正を実行させる場合のシーケンスの一例を示す。図11において、ステップ305ではスイッチ5、22、23をオフ、スイッチ26、21、24をオンにする。この後、内部状態が安定するまで待機し、ステップ310に進む。ステップ310では、コンパレータ25の出力レベルがローレベルであるかを判定する。そして、Yesであればステップ315に進み、Noであれば異常であるとしてステップ355に進み、フラグを立てる等の異常処理を行ったのちステップ350に進む。なお、この異常処理のフラグが立てられると、CPU18aが異常を判定して所定の処理を実行するようになっている。

【0076】ステップ315では、D/Aコンバータ2

0の入力データ(制御値)をインクリメントする。これにより、D/Aコンバータ20は出力電圧を1段階分上げた高い電圧とする。そして、内部状態が安定するまで待機し、ステップ320に進む。ステップ320では、コンパレータ25の出力レベルがハイレベルであるかを判定する。そして、Yesであればオフセット電圧が略零であるとしてステップ350に進み、Noであればステップ325に進む。

【0077】ステップ325ではD/Aコンバータ20の入力データが10進法で7であるかを、つまり入力データの間値になっているかを判定する。そして、Yesであればステップ330に進み、Noであればステップ315に戻り再び上記処理を行う。ステップ330では、スイッチ21、24をオフ、スイッチ22、23をオンにする。そして、ステップ335に進み、ステップ335ではD/Aコンバータ20の入力データ(制御値)をデクリメントする。これにより、D/Aコンバータ20は出力電圧を1段階分下げた低い電圧とする。そして、内部状態が安定するまで待機し、ステップ340に進む。

【0078】ステップ340では、コンパレータ25の出力レベルがハイレベルであるかを判定する。そして、Yesであればオフセット電圧が略零であるとしてステップ350に進み、Noであればステップ345に進む。ステップ345ではD/Aコンバータ20の入力データが10進法で16であるかを、つまり入力データの最大値になっているかを判定する。そして、Yesであればステップ355に進んで上記異常処理を行い、Noであればステップ335に戻り再び上記処理を行う。

【0079】そして、ステップ350でスイッチ5をオン、スイッチ26をオフにし、スイッチ21～24はそのままの状態にして処理を終了する。このようなシーケンスを実行することによって、レジスタ300を用いたオフセット電圧補正を行うことができる。

(第4実施形態) 上記第1～第3実施形態ではオペアンプ1とレファレンス電圧とを比較するためにコンパレータ25、54を用いていたが、本実施形態ではオペアンプ80自身をコンパレータとして使用する。

【0080】図1に示される第1実施形態においてコンパレータ25の代わりにオペアンプ80自身をコンパレータとして使用した場合を図12に示す。また、図12における要部回路図を図13に示す。なお、図13に示すように、オペアンプ80の回路構成は図1に示されるオペアンプ1の回路構成とほぼ同様であるため、同様の部分については同様の符号を付し、異なる部分についてのみ説明を行う。

【0081】図12に示されるように、オペアンプ80は、反転入力端子と非反転入力端子とがスイッチ81によって接続されるようになっており、出力端子と反転入

力端子とがスイッチ82によって接続されるようになっている。また、図13に示されるように、オペアンプ80の位相補償コンデンサ14の両端にはPchトランジスタ及びNchトランジスタよりなるアナログスイッチ84、85が備えられている。そして端子83を介して入力される制御信号によってアナログスイッチ84、85のオン、オフが行われるようになっている。なお、86は端子83からの信号レベルを反転させるインバータである。

【0082】オペアンプ80を通常のおペアンプとして使用している期間は、アナログスイッチ84、85は共にオンされており、補正期間中（図4における時刻t1～時刻t4までの期間）にはオフされるようになっている。つまり、補正期間中には、オペアンプの周波数特性を向上しオペアンプ80をコンパレータとして使用できるようになっている。

【0083】このため、オペアンプ80の出力に基づいてオフセット補正を行うことができ、オペアンプ80の他に比較用として必要とされたコンパレータ25（図1参照）をなくすることができる。また、アナログスイッチ84、85が位相補償コンデンサ14の両側に備えているため、アナログスイッチ84、85がオフしている期間中、位相補償コンデンサ14の電位が保持されるようになっている。このため、補正終了時に、アナログスイッチ84、85をオンし、オペアンプ80をもとのオペアンプとしての接続に戻した際に、オペアンプ80の内部の電位が定常状態になるまでの安定時間を短くすることができる。

【0084】なお、図12はオペアンプ80のオフセット補正の例を示しているが、オペアンプ80をコンパレータに置き換えることによりコンパレータのオフセット補正を行うこともできる。

【図面の簡単な説明】

【図1】オフセット電圧補正回路の全体の回路構成を示す図である。

【図2】図1におけるオペアンプ1の回路構成を簡略化した図である。

【図3】図1における制御回路19のロジック部を示す図である。

【図4】オフセット電圧補正回路の各要素におけるタイムチャートを示す図である。

【図5】V1、V2とトランジスタ16、17に流れる電流の特性を示す図である。

【図6】図1におけるオフセット電圧補正回路の使用例を示す図である。

【図7】図6における差動アンプ回路51の詳細を示す回路構成図である。

【図8】第2実施形態における制御回路19のロジック部を示す図である。

【図9】オフセット電圧補正回路の各要素におけるタイムチャートを示す図である。

【図10】第3実施形態におけるオフセット電圧補正回路の全体の回路構成を示す図である。

【図11】図10におけるレジスト300の処理を示すフローチャートである。

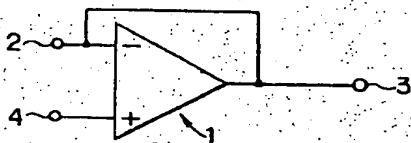
【図12】第3実施形態におけるオフセット電圧補正回路の全体の回路構成を示す図である。

【図13】図12におけるオフセット電圧補正回路の主要回路部を示す図である。

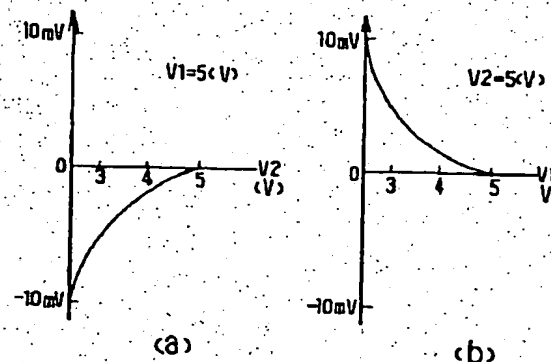
【符号の説明】

1…オペアンプ、2…反転入力端子、3…出力端子、4…非反転入力端子、5…スイッチ、9…差動増幅回路、14…位相補償コンデンサ、16、17…トランジスタ、18a…CPU、18b…ROM、19…制御回路、20…D/Aコンバータ、21～24、26…スイッチ、25…コンパレータ、30…入力端子、41…カウンタ、54、55…コンパレータ、70、71…マルチプレクサ、84、85…アナログスイッチ、100…第1回路、101…カウンタ、200…第2回路、201…カウンタ、300…レジスタ。

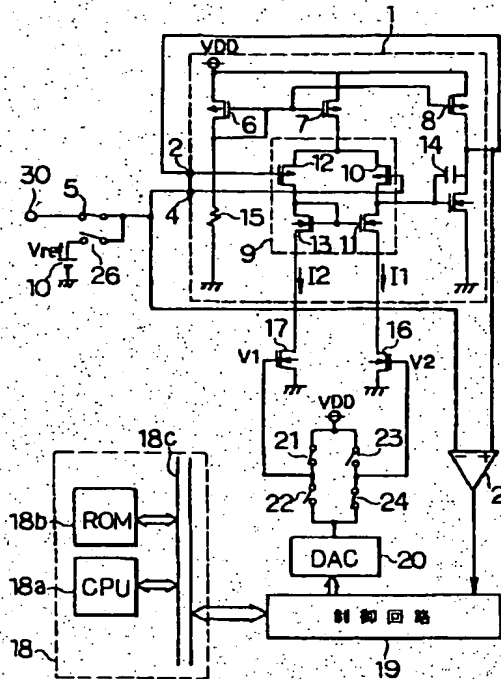
【図2】



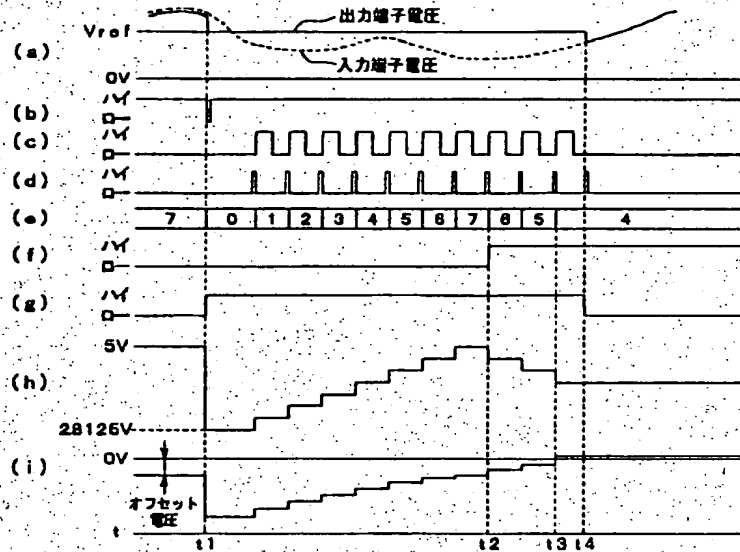
【図5】



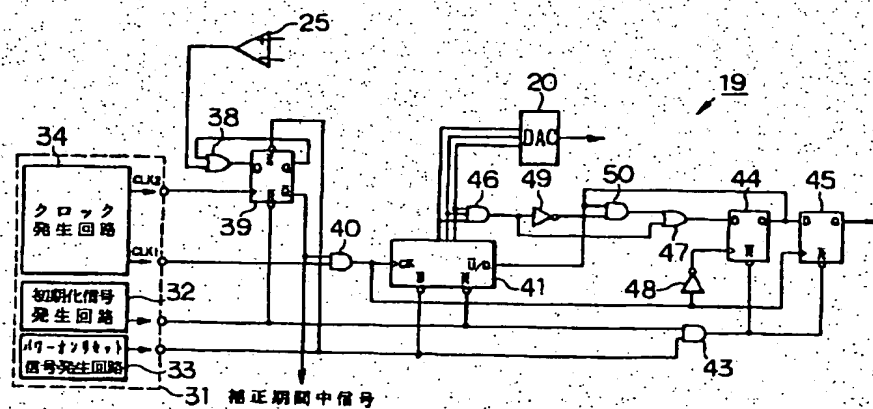
【図1】



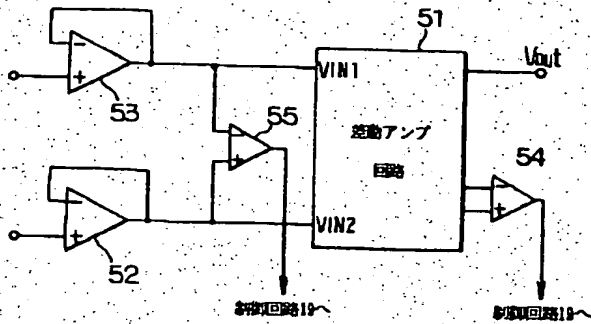
【図4】



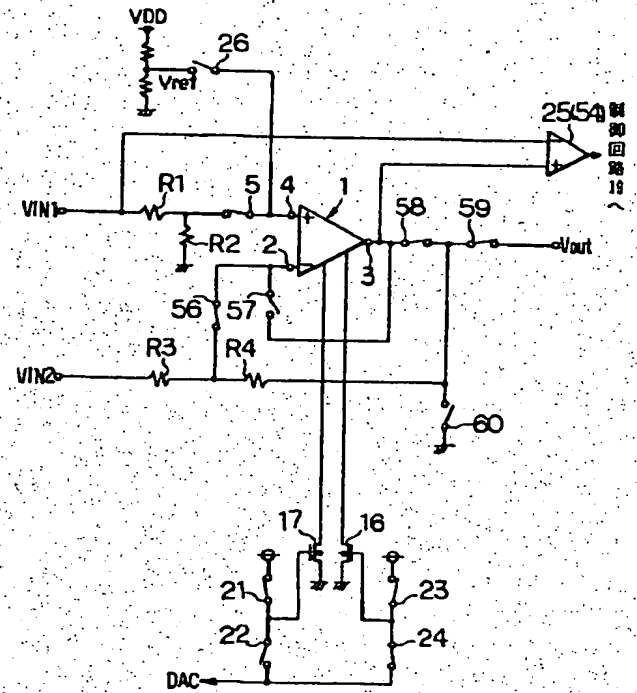
【図3】



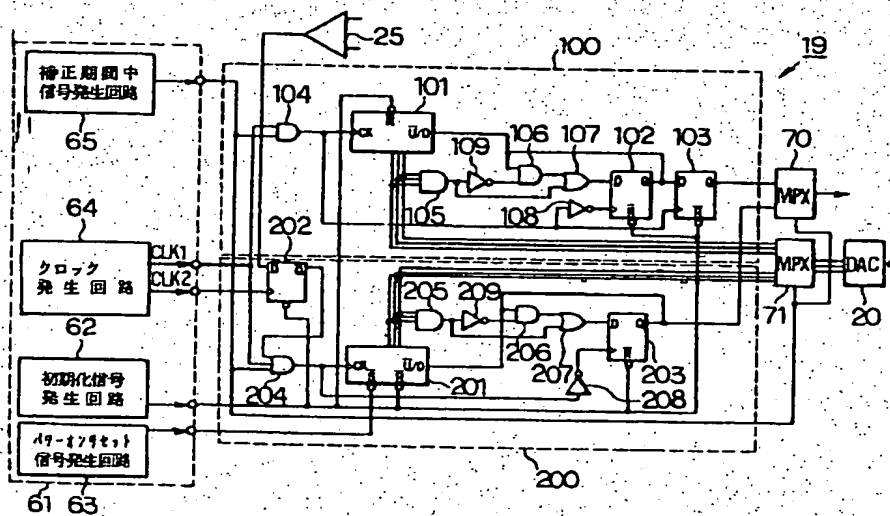
【図6】



【図7】



【図8】

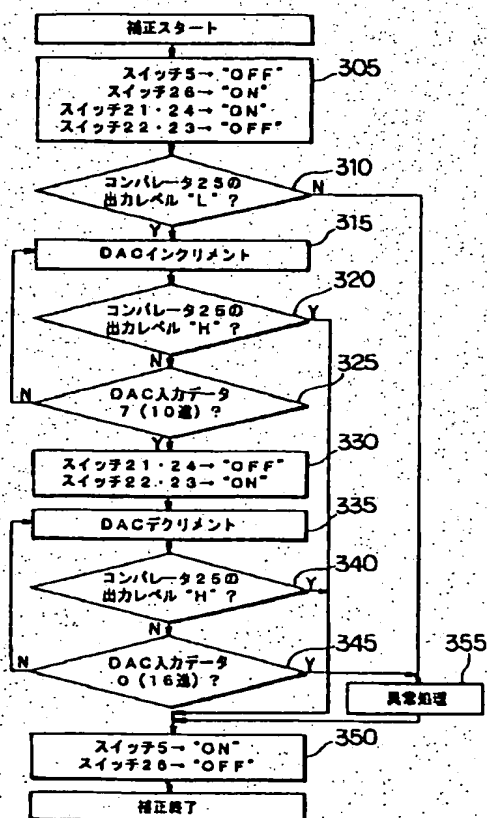
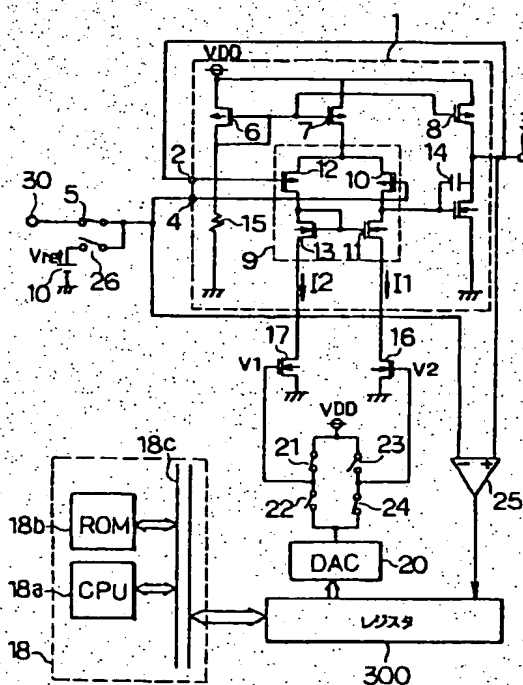


The timing diagram illustrates the operation of a 10-bit parallel-to-serial converter. It consists of 11 waveforms labeled (a) through (k) plotted against time  $t$ . Vertical dashed lines mark specific time points:  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$ , and  $t_6$ .

- (a) Clock signal: A periodic square wave.
- (b) Enable signal: A single pulse occurring between  $t_1$  and  $t_2$ .
- (c) Parallel input data: A 10-bit data word  $012345676543210$  presented in parallel.
- (d) Parallel output data: A 10-bit data word  $70123456765$  presented in parallel.
- (e) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (f) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (g) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (h) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (i) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (j) Serial output data: A 10-bit data word  $765432105$  presented serially.
- (k) Serial output data: A 10-bit data word  $765432105$  presented serially.

The time axis is marked with  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ ,  $t_5$ , and  $t_6$ . The output data is shown as a staircase waveform, indicating the serial output of the 10-bit data word.

【圖 1-1】



【圖 1.3】

